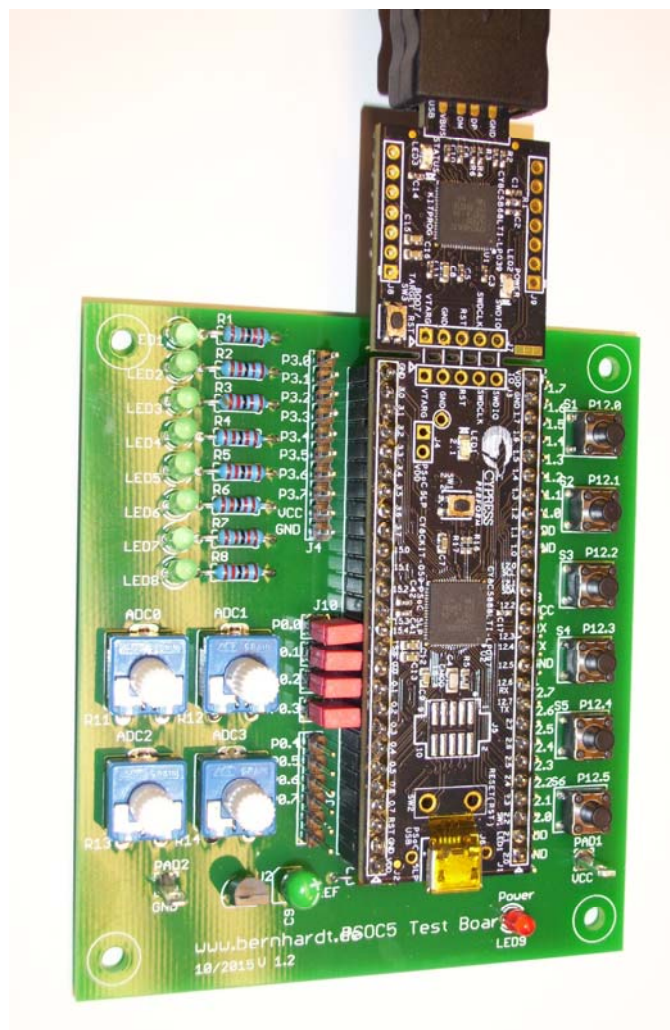


Testboard für Cypress CY8CKIT-059 PSoC 5LP Prototyping Kit



PSOC5 Testboard

Dokumentation des PSOC5 Analog und Digital I/O Interfaces

(CY8CKIT-059 PSOC 5LP Prototyping Kit)

PIN-Belegung und Kommandos

Pin Belegung der 12 Bit SAR Analogeingänge:

Analogeingang 1 ist verbunden mit P0.0
Analogeingang 2 ist verbunden mit P0.1
Analogeingang 3 ist verbunden mit P0.2
Analogeingang 4 ist verbunden mit P0.3
Analogeingang 5 ist verbunden mit P0.4
Analogeingang 6 ist verbunden mit P0.5
Analogeingang 7 ist verbunden mit P0.6
Analogeingang 8 ist verbunden mit P0.7
Analogeingang 8 ist verbunden mit P0.8

Befehle für den A/D Wandler:

Analogeingang 1 einlesen	„a01“ ASCII --- „0x61, 0x30, 0x31“ HEX Antwort z.B. 1,146 <CR><LF>
Analogeingang 2 einlesen	„a02“ ASCII --- „0x61, 0x30, 0x32“ HEX Antwort z.B. 1,341 <CR><LF>
Analogeingang 3 einlesen	„a03“ ASCII --- „0x61, 0x30, 0x33“ HEX Antwort z.B. 1,446 <CR><LF>
Analogeingang 4 einlesen	„a04“ ASCII --- „0x61, 0x30, 0x34“ HEX Antwort z.B. 1,847 <CR><LF>
Analogeingang 5 einlesen	„a05“ ASCII --- „0x61, 0x30, 0x35“ HEX Antwort z.B. 1,546 <CR><LF>
Analogeingang 6 einlesen	„a06“ ASCII --- „0x61, 0x30, 0x36“ HEX Antwort z.B. 1,345 <CR><LF>
Analogeingang 7 einlesen	„a07“ ASCII --- „0x61, 0x30, 0x37“ HEX Antwort z.B. 1,146 <CR><LF>
Analogeingang 8 einlesen	„a08“ ASCII --- „0x61, 0x30, 0x38“ HEX Antwort z.B. 1,342 <CR><LF>

Analogeingang 1 bis 8 einlesen „a09“ ASCII --- „0x61, 0x30, 0x39“ HEX
Antwort z.B. **0,983;0,758;0,600;0,455;0,356;0,290;0,231;0,200**<CR><LF>

Digitale TTL-Pegel Eingänge 1 bis 6: (Taster S1 bis S6)

Digital Eingang 1 ist verbunden mit P12.0
Digital Eingang 2 ist verbunden mit P12.1
Digital Eingang 3 ist verbunden mit P12.2
Digital Eingang 4 ist verbunden mit P12.3
Digital Eingang 5 ist verbunden mit P12.4
Digital Eingang 6 ist verbunden mit P12.5

Befehl für die Statusabfrage: „dig“

Antwort: Drei Ziffern für den Status. Ein betätigter Taster bzw. LOW Pegel setzen das Bit im Antwort Byte auf HI. Beispiel: Wenn kein Taster betätigt ist antwortet das Interface mit „000<CR><LF>“

Wenn alle Taster betätigt sind mit „063<CR><LF>“ (Wird wie folgt berechnet: 32+16+8+4+2+1)

Digitale Ausgänge: (Hier mit den LEDs verbunden)

Ausgang 1 ist verbunden mit P3.0	Auf HI schalten: „r11“ Auf LO schalten: „r10“
Ausgang 2 ist verbunden mit P3.1	Auf HI schalten: „r21“ Auf LO schalten: „r20“
Ausgang 3 ist verbunden mit P3.2	Auf HI schalten: „r31“ Auf LO schalten: „r30“
Ausgang 4 ist verbunden mit P3.3	Auf HI schalten: „r41“ Auf LO schalten: „r40“
Ausgang 5 ist verbunden mit P3.4	Auf HI schalten: „r51“ Auf LO schalten: „r50“
Ausgang 6 ist verbunden mit P3.5	Auf HI schalten: „r61“ Auf LO schalten: „r60“
Ausgang 7 ist verbunden mit P3.6	Auf HI schalten: „r71“ Auf LO schalten: „r70“
Ausgang 8 ist verbunden mit P3.7	Auf HI schalten: „r81“ Auf LO schalten: „r80“

Dokumentation des PSOC5 Analog und Digital I/O Interfaces (CY8CKIT-059 PSOC 5LP Prototyping Kit)

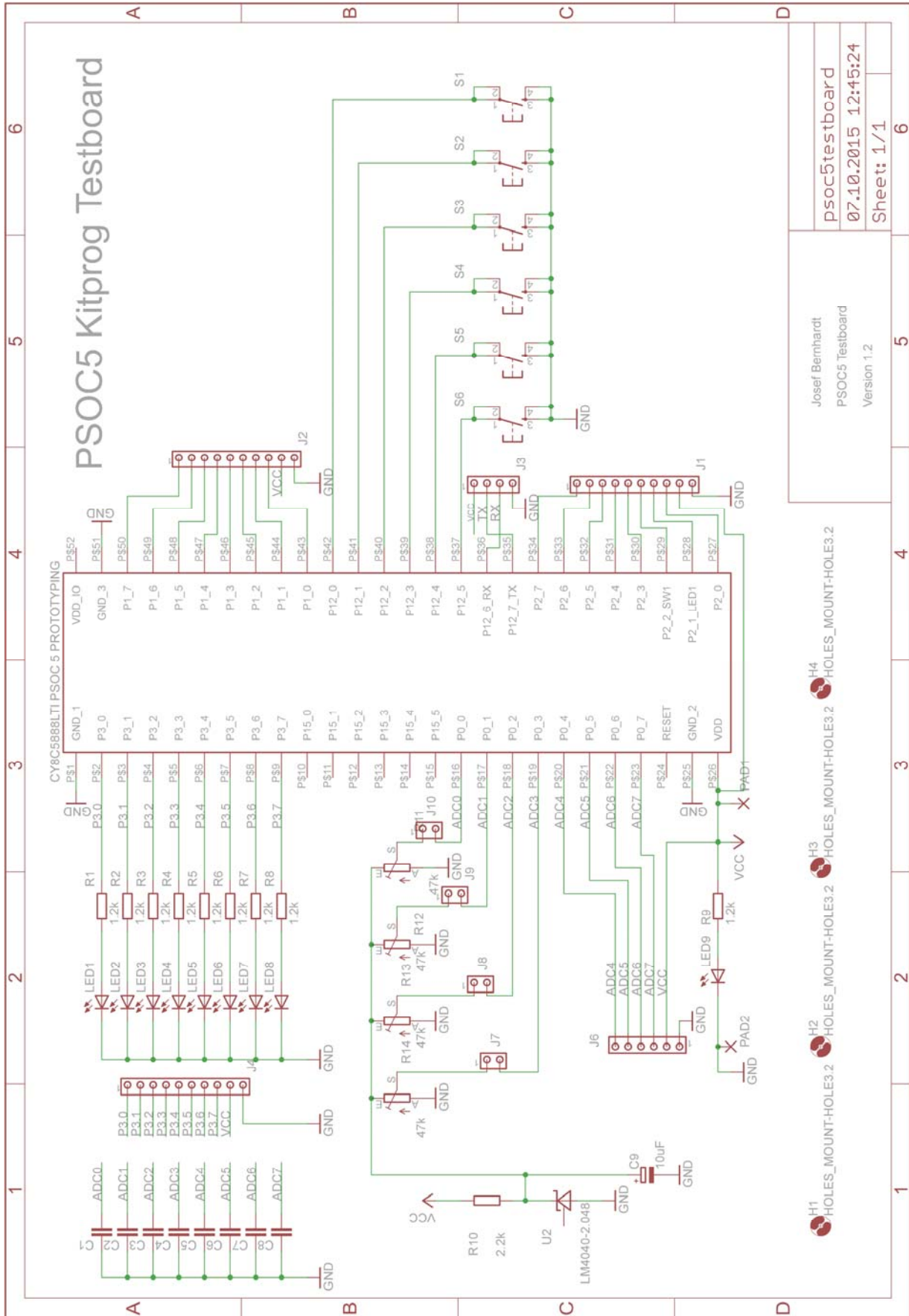


Bild1: Schaltplan Testboard

Dokumentation des PSOC5 Analog und Digital I/O Interfaces (CY8CKIT-059 PSOC 5LP Prototyping Kit)

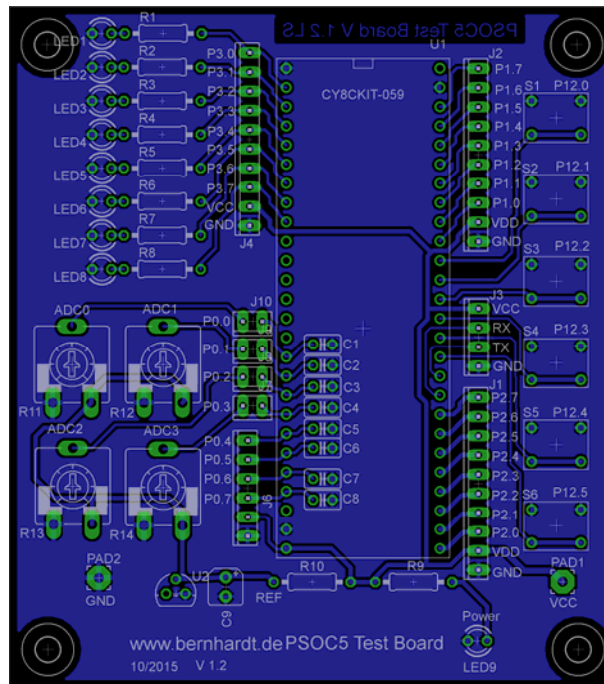


Bild2: Platine PSOC5 Testboard (Eagle Layout Datei)

Dokumentation des PSOC5 Analog und Digital I/O Interfaces

(CY8CKIT-059 PSOC 5LP Prototyping Kit)

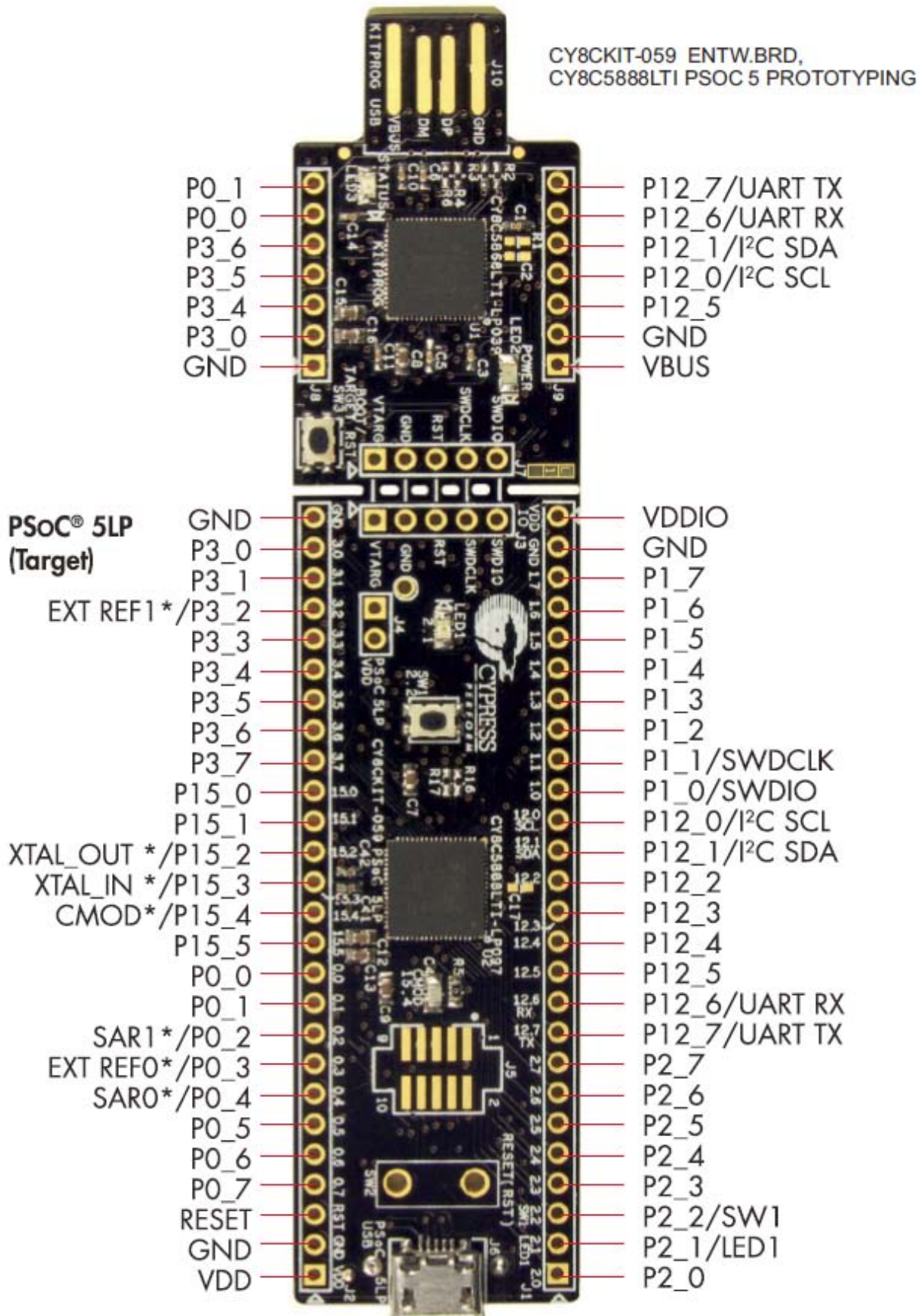


Bild3: Foto PSOC5 Kit

Dokumentation des PSOC5 Analog und Digital I/O Interfaces (CY8CKIT-059 PSOC 5LP Prototyping Kit)

A.1 PSoC 5LP Prototyping Kit Schematics

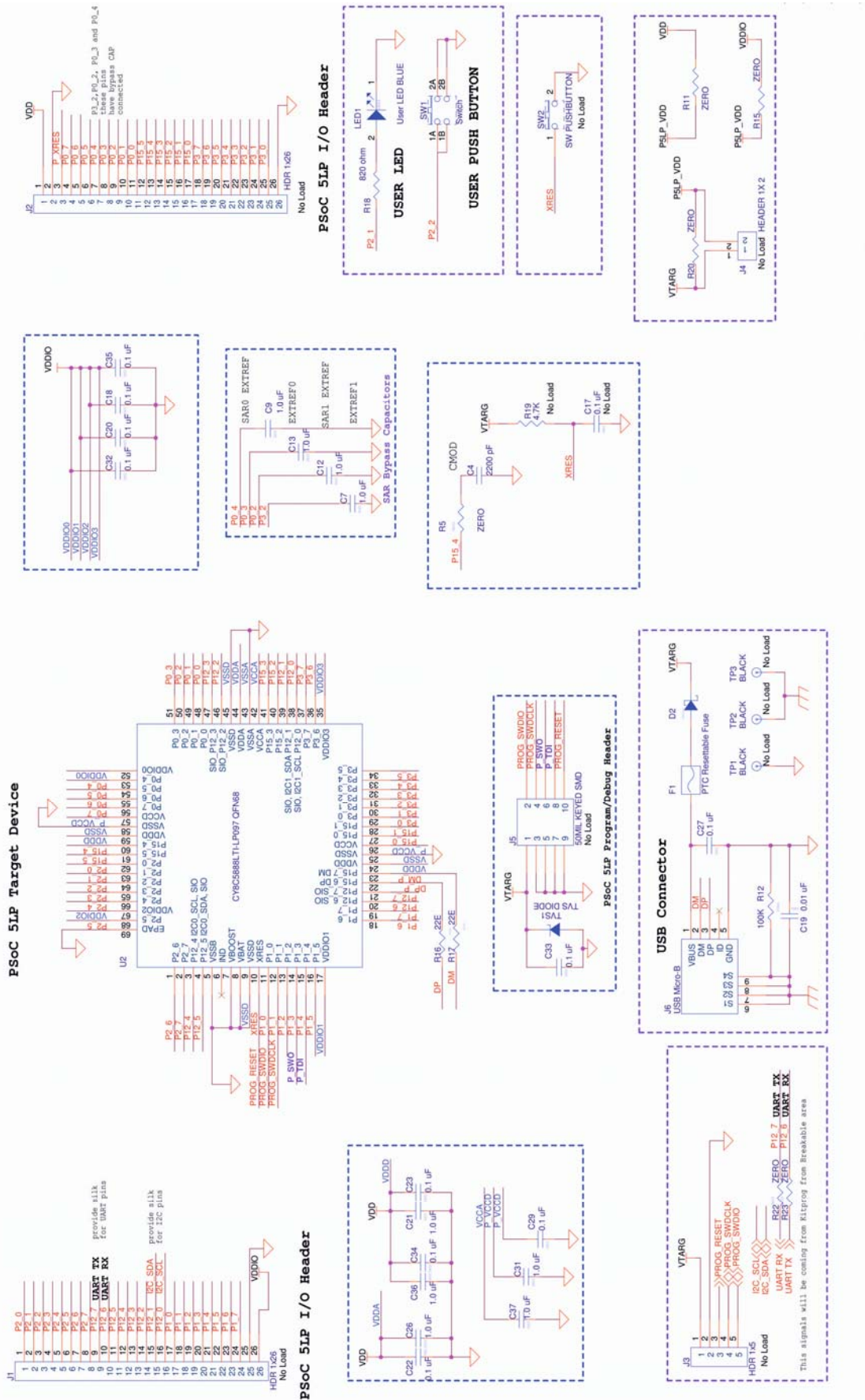


Bild4: Schaltplan Prototyping Kit Seite 1

Dokumentation des PSOC5 Analog und Digital I/O Interfaces (CY8CKIT-059 PSOC 5LP Prototyping Kit)

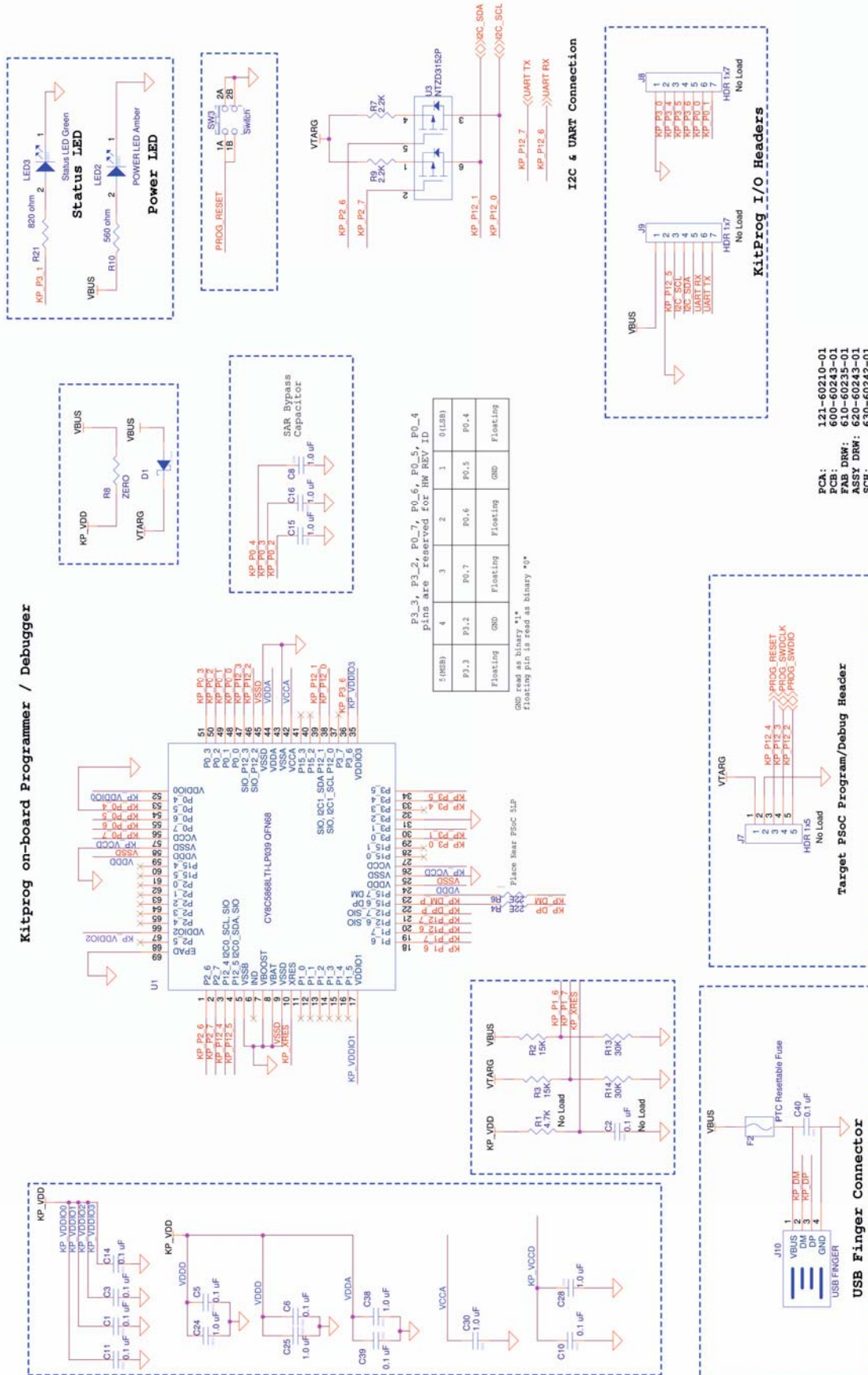


Bild5: Schaltplan Prototyping Kit Seite 2